

PUB-NO: DE019949144C1

DOCUMENT-IDENTIFIER: DE 19949144 C1

TITLE: Digital driver circuit for IC device has input stages, delay stage, intermediate stage and output stage provided by chain of CMOS-inverters

PUBN-DATE: February 1, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
GOETZ, LASZLO	DE
ROMMEL, MANFRED	DE
REITHMAIER, STEFAN	DE

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TEXAS INSTRUMENTS DEUTSCHLAND	DE

APPL-NO: DE19949144

APPL-DATE: October 12, 1999

PRIORITY-DATA: DE19949144A ( October 12, 1999)

INT-CL (IPC): H03K005/1252, H03K019/0175

EUR-CL (EPC): H03K005/13

ABSTRACT:

CHG DATE=20010803 STATUS=O>The digital driver circuit has one or more input stages (5,6), employing a CMOS-inverter with the sources of the complementary FET's coupled to a supply voltage and earth respectively, the ratio between the channel width and the channel length varying by a given amount for each successive stage. An intermediate stage (8) has 2 CMOS-inverters, coupled at their inputs to the output of the last input stage via a delay stage (7) and followed by an output stage (9), both the latter using further CMOS-inverters.



19 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

12 Patentschrift  
10 DE 199 49 144 C 1

51 Int. Cl. 7:  
H 03 K 5/1252  
H 03 K 19/0175

21 Aktenzeichen: 199 49 144.5-31  
22 Anmeldetag: 12. 10. 1999  
43 Offenlegungstag: -  
46 Veröffentlichungstag  
der Patenterteilung: 1. 2. 2001

DE 199 49 144 C 1

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

73 Patentinhaber:  
Texas Instruments Deutschland GmbH, 85356  
Freising, DE

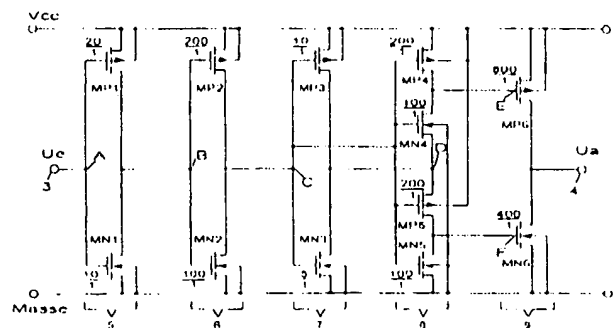
7A Vertreter:  
Prinz und Kollegen, 81241 München

72 Erfinder:  
Götz, Laszlo, 85356 Freising, DE; Rommel, Manfred,  
85356 Freising, DE; Reithmaier, Stefan, 85356  
Freising, DE

86 Für die Beurteilung der Patentfähigkeit in Betracht  
gezogene Druckschriften:  
DE 38 85 963 T2  
HUANG CHANG LIN, LOREN W. LINHOLM: An  
Optimized  
Output Stage for MOS Integrated Circuits, In:  
IEEE Journal of Solid-State Circuits, Vol.  
SC-10, No. 2;

54 Digitale Treiberschaltung

51 Die Erfindung betrifft eine digitale Treiberschaltung mit einem oder mehreren als Eingangsstufen vorgesehenen CMOS-Invertern, wobei bei den MOS-FETs der Inverter das Kanalweiten-/längen-(W/L)-Verhältnis von Stufe zu Stufe zunimmt, einer Zwischenstufe mit zwei weiteren zwischen einer Versorgungsspannung  $V_{CC}$  und Masse verbundenen CMOS-Invertern, deren Eingänge jeweils mit dem Ausgangssignal des letzten CMOS-Inverters der Eingangsstufen verbunden sind, einem dritten weiteren zwischen  $V_{CC}$  und Masse geschalteten CMOS-Inverter, dessen Eingang mit dem Ausgang der Eingangsstufen verbunden ist und dessen Ausgang mit dem Verbindungspunkt zwischen den beiden weiteren CMOS-Invertern verbunden ist, und einer Ausgangsstufe mit einem p-Kanal-MOS-FET, dessen Gateanschluß mit dem Ausgang des ersten weiteren CMOS-Inverters verbunden ist, und einem n-Kanal-MOS-FET, dessen Gateanschluß mit dem Ausgang des zweiten weiteren CMOS-Inverters verbunden ist, wobei die Drainanschlüsse der beiden MOS-FETs der Ausgangsstufe miteinander und mit dem Ausgang der Schaltung verbunden sind, das W/L-Verhältnis der beiden MOS-FETs das der MOS-FETs der Zwischenstufe übersteigt und das W/L-Verhältnis der MOS-FETs des dritten weiteren CMOS-Inverters so klein gewählt ist, daß das bei Änderung des digitalen Eingangssignals am Eingang der Schaltung erfolgende Umschalten der bei den MOS-FETs der Ausgangsstufe zeitlich gegeneinander versetzt erfolgt, wodurch die bei bisherigen Treiberschaltungen auftretenden ...



DE 199 49 144 C 1

## Beschreibung

Die Erfindung bezieht sich allgemein auf eine digitale Treiberschaltung und insbesondere auf eine digitale Treiberschaltung, die CMOS-Inverter verwendet.

Digitale Treiberschaltungen werden in integrierten Schaltungen dazu benötigt, relativ große Kapazitäten, wie sie z. B. im Zusammenhang mit Daten- und Taktzuführungen auftreten, umzuladen. Dabei passen die Treiberschaltungen unter Optimierung der Verzögerungszeit kleine kapazitive Lasten an große kapazitive Lasten an. Ein weiteres Kriterium bei der Optimierung von digitalen Treiberschaltungen ist der Verbrauch an Chipfläche. Ein Beispiel für digitale Treiberschaltungen sind Ausgangstreiberschaltungen, zu denen die Bus-Treiber gehören.

Um die beim Umladen auftretende Verzögerungszeit, die die gesamte Geschwindigkeit eines digitalen Systems negativ beeinflussen kann, zu verringern, ist eine besonders einfache digitale Treiberschaltung vorgeschlagen worden, die aus einer Kette aus CMOS-Invertern besteht, bei denen das Verhältnis zwischen Kanalweite (W) und Kanallänge (L) (das im folgenden der Einfachheit halber als W/L-Verhältnis bezeichnet wird) der MOS-FETs der CMOS-Inverter von Kettenglied zu Kettenglied zunimmt. Huang Chang Lin und Loren W. Linholm beschreiben eine derartige digitale Treiberschaltung in dem Artikel "An Optimized Output Stage for MOS Integrated Circuits", IEEE Journal of Solid-State Circuits, Vol. SC-10, No. 2, April 1975. Das Ausmaß der Änderung des W/L-Verhältnisses zwischen den einzelnen Kettengliedern wird dabei je nach Anwendung so gewählt, daß die durch die Umladung auftretende Verzögerungszeit minimiert wird.

Die Fig. 1 zeigt eine solche im Stand der Technik bekannte digitale Treiberschaltung mit invertierender Funktion, die aus drei hintereinandergeschalteten CMOS-Invertern besteht, deren jeweiliger p-Kanal-MOS-FET an seinem Sourceanschluß mit einer Versorgungsspannung und deren jeweiliger n-Kanal-MOS-FET an seinem Sourceanschluß mit Masse verbunden ist. Wird ein digitales Eingangssignal mit der Spannung  $U_e$ , die die Zustände 0 V und  $V_{cc}$  annehmen kann, an den Eingang 1 der Schaltung gelegt, so wird sie am Ausgang 2 der Schaltung in ein invertiertes digitales Ausgangssignal mit der Spannung  $U_a$  umgewandelt. Wie in der Fig. 1 angezeigt, nehmen die W/L-Verhältnisse der p-Kanal-MOS-FETs der einzelnen Stufen vom Eingang 1 der Schaltung zum Ausgang 2 der Schaltung von 20/1 über 200/1 auf 800/1 und die der n-Kanal-MOS-FETs von 10/1 über 100/1 auf 400/1 zu.

Im stationären Zustand, d. h., dann, wenn sich das digitale Eingangssignal  $U_e$  der Schaltung im H- oder L-Zustand befindet, ist der Energieverbrauch der Schaltung sehr gering, da in jedem CMOS-Inverter ein MOS-FET gesperrt ist und einen Stromfluß zwischen der Versorgungsspannungsklemme und der Masseklemme verhindert. Wenn jedoch das digitale Eingangssignal seinen Zustand ändert, d. h. vom H- in den L-Zustand oder vom L- in den H-Zustand wechselt, sind beide MOS-Transistoren jeder Inverterstufe während des Durchlaufens eines kleinen von der Eingangsspannung  $U_e$  durchlaufenen Spannungsintervalls durchgeschaltet, was zu einer Stromspitze führt. Die größte Stromspitze wird dabei von dem die größte Leistung liefernden letzten CMOS-Inverter erzeugt.

Diese Stromspitzen, die bei für kleine Leistungen entworfenen Schaltungen unter Umständen wesentlich größer als die sonst auftretenden Ströme sein können, sind unerwünscht und können zu verschiedenen Problemen führen. So können Referenzschaltungen und rauscharme Schaltungen durch die Stromspitzen gestört werden. Ferner verursachen

die Stromspitzen dann, wenn Serienwiderstände zum Schutz gegen elektrostatische Entladungen verwendet werden, einen starken Spannungsabfall an diesen Widerständen.

Die Aufgabe der Erfindung liegt daher darin, eine einfach aufgebaute und besonders kompakte digitale Treiberschaltung zu schaffen, die die bei bisherigen derartigen Schaltungen bei der Umschaltung des digitalen Eingangssignals auftretenden Stromspitzen stark vermindert.

Diese Aufgabe wird gelöst durch eine digitale Treiberschaltung mit

einer oder mehreren hintereinandergeschalteten Eingangsstufen, die jeweils aus einem CMOS-Inverter bestehen, dessen p-Kanal-MOS-FET an seinem Sourceanschluß mit einer Versorgungsspannung und dessen n-Kanal-MOS-FET an seinem Sourceanschluß mit Masse verbunden ist, wobei das Verhältnis zwischen Kanalweite (W) und Kanallänge (L) (W/L-Verhältnis) der MOS-FETs der CMOS-Inverter von Stufe zu Stufe in einem vorherbestimmten Maße zunimmt; einer Zwischenstufe mit einem ersten CMOS-Inverter, dessen p-Kanal-MOS-FET an seinem Sourceanschluß mit der Versorgungsspannung verbunden ist, und einem zweiten CMOS-Inverter, dessen n-Kanal-MOS-FET an seinem Sourceanschluß mit Masse verbunden ist, wobei die Eingänge der beiden CMOS-Inverter der Zwischenstufe mit dem Ausgang der letzten Eingangsstufe verbunden sind, der Sourceanschluß des n-Kanal-MOS-FETs des ersten CMOS-Inverters der Zwischenstufe mit dem Sourceanschluß des p-Kanal-MOS-FETs des zweiten CMOS-Inverters der Zwischenstufe verbunden ist und das vorherbestimmte W/L-Verhältnis des p-Kanal-MOS-FETs des ersten CMOS-Inverters der Zwischenstufe und des n-Kanal-MOS-FETs des zweiten CMOS-Inverters der Zwischenstufe nicht kleiner als das der entsprechenden MOS-FETs des letzten CMOS-Inverters der Eingangsstufen ist;

einer Verzögerungsstufe mit einem zwischen die Versorgungsspannung und Masse geschalteten CMOS-Inverter, dessen Eingang mit dem Ausgang der letzten Eingangsstufe verbunden ist und dessen Ausgang mit dem Sourceanschluß des n-Kanal-MOS-FETs des ersten CMOS-Inverters der Zwischenstufe verbunden ist; und

einer Ausgangsstufe mit einem p-Kanal-MOS-FET, dessen Gateanschluß mit dem Ausgang des ersten CMOS-Inverters der Zwischenstufe und dessen Sourceanschluß mit der Versorgungsspannung verbunden ist, und einem n-Kanal-MOS-FET, dessen Gateanschluß mit dem Ausgang des zweiten CMOS-Inverters der Zwischenstufe und dessen Sourceanschluß mit Masse verbunden ist, wobei die Drainanschlüsse der beiden MOS-FETs der Ausgangsstufe miteinander und mit dem Ausgang der Schaltung verbunden sind und das W/L-Verhältnis des p-Kanal-MOS-FETs der Ausgangsstufe und das W/L-Verhältnis des n-Kanal-MOS-FETs der Ausgangsstufe das W/L-Verhältnis des p-Kanal-MOS-FETs des ersten CMOS-Inverters der Zwischenstufe bzw. das W/L-Verhältnis des n-Kanal-MOS-FETs des zweiten CMOS-Inverters der Zwischenstufe in einem vorherbestimmten Maße übersteigt;

wobei das W/L-Verhältnis der MOS-FETs des CMOS-Inverters der Verzögerungsstufe im Vergleich zu den W/L-Verhältnissen der entsprechenden MOS-FETs des letzten CMOS-Inverters der Eingangsstufen, des p-Kanal-MOS-FETs des ersten CMOS-Inverters der Zwischenstufe und des n-Kanal-MOS-FETs des zweiten CMOS-Inverters der Zwischenstufe so klein gewählt ist, daß das bei Änderung des digitalen Eingangssignals am Eingang der Schaltung erfolgende Umschalten der beiden MOS-FETs der Ausgangsstufe zeitlich gegeneinander versetzt erfolgt.

Die Reduzierung der Stromspitzen gelingt bei der erfindungsgemäßen digitalen Treiberschaltung dadurch, daß bei

einer Änderung des digitalen Eingangssignals der p-Kanal-MOS-FET und der n-Kanal-MOS-FET der Ausgangsstufe der Schaltung zeitlich gegeneinander versetzt umgeschaltet werden, so daß der bei bisherigen digitalen Treiberschaltungen beim Umschalten zwischen der Versorgungsspannungsklemme und Masse vorliegende Stromfluß nicht oder wesentlich kürzer und geringer als bisher erfolgt.

Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen gekennzeichnet.

Die Erfindung wird nun anhand der Zeichnungen beispielshalber erläutert. In den Zeichnungen zeigen:

**Fig. 1** den Schaltplan einer zum Stand der Technik gehörenden digitalen Treiberschaltung;

**Fig. 2** den Schaltplan einer bevorzugten Ausführungsform der erfindungsgemäßen digitalen Treiberschaltung; und

**Fig. 3** Graphen, die die zeitliche Abfolge der an einzelnen Schaltungspunkten der in der Fig. 2 dargestellten Schaltung auftretenden Spannungssprünge bei Umschaltung des digitalen Eingangssignals der Schaltung zeigen.

Die **Fig. 1** zeigt eine zum Stand der Technik gehörende und in der Beschreibungseinleitung erläuterte digitale Treiberschaltung.

Die **Fig. 2** zeigt eine bevorzugte Ausführungsform einer erfindungsgemäßen digitalen Treiberschaltung.

Die in der **Fig. 2** dargestellte Treiberschaltung umfaßt zwei Eingangsstufen 5 und 6, die jeweils aus einem CMOS-Inverter bestehen. Der Eingang A der ersten Eingangsstufe 5 ist mit dem Eingang 3 der digitalen Treiberschaltung verbunden, an dem ein digitales Eingangssignal mit der Spannung  $U_e$  anliegt, die die stationären digitalen Zustände Vcc (H-Zustand) und 0 V (Masse, L-Zustand) annehmen kann.

Der CMOS-Inverter MP1, MN1 der ersten Eingangsstufe 5 umfaßt einen p-Kanal-MOS-FET MP1, dessen Gateanschluß mit dem Eingang 3 der Treiberschaltung, dessen Sourceanschluß mit der Versorgungsspannung Vcc, dessen Drainanschluß mit dem Ausgang des CMOS-Inverters MP1, MN1 der ersten Eingangsstufe 5 und dessen Substratanschluß mit der Versorgungsspannung Vcc verbunden ist, und einen n-Kanal-MOS-FET MN1, dessen Gateanschluß mit dem Eingang 3 der Treiberschaltung, dessen Sourceanschluß mit Masse, dessen Drainanschluß mit dem Ausgang des CMOS-Inverters MP1, MN1 der ersten Eingangsstufe 5 und dessen Substratanschluß mit Masse verbunden ist.

Das W/L-Verhältnis des p-Kanal-MOS-FETs MP1 beträgt 20/1, das des n-Kanal-MOS-FETs MN1 10/1. Das W/L-Verhältnis des p-Kanal-MOS-FETs MP1 ist, wie bei CMOS-Invertoren üblich, größer als das des n-Kanal-MOS-FETs MN1, um die geringere Ladungsträgerbeweglichkeit im p-Kanal-MOS-FET MP1 auszugleichen und so einen symmetrischen Störabstand der digitalen Eingangssignale der Treiberschaltung zu den Kippunkten des CMOS-Inverters zu erzeugen. Üblicherweise werden zur Erreichung dieses Effekts in der CMOS-Technik für den p-Kanal-MOS-FET MP1 Weitenvergrößerungsfaktoren in bezug auf die Weite des n-Kanal-MOS-FETs MN1 gewählt, die zwischen 2 und 4 liegen. Bei der hier beschriebenen Ausführungsform der vorliegenden Erfindung wird stets der Weitenvergrößerungsfaktor 2 gewählt.

Die MOS-FETs MP2 und MN2 des CMOS-Inverters MP2, MN2 der zweiten Eingangsstufe 6 sind entsprechend den MOS-FETs MP1, MN1 des CMOS-Inverters MP1, MN1 der ersten Eingangsstufe 5 geschaltet, wobei der Ausgang des CMOS-Inverters MP1, MN1 der ersten Eingangsstufe 5 mit dem Eingang B des CMOS-Inverters MP2, MN2 der zweiten Eingangsstufe 6 verbunden ist. Die W/L-Verhältnisse der beiden MOS-FETs MP2, MN2 des CMOS-Inverters MP2, MN2 der zweiten Eingangsstufe 6 sind dabei

um einen Faktor 10 größer als diejenigen des CMOS-Inverters MP1, MN1 der ersten Eingangsstufe 5, so daß der CMOS-Inverter MP2, MN2 der zweiten Eingangsstufe 6 eine größere Kapazität treiben kann als der CMOS-Inverter MP1, MN1 der ersten Eingangsstufe 5.

Der Ausgang des CMOS-Inverters MP2, MN2 der zweiten Eingangsstufe 6 ist zum einen mit dem Eingang eines im folgenden als "Verzögerungsstufe" 7 bezeichneten CMOS-Inverters MP3, MN3 verbunden und zum anderen über den Eingang C der Verzögerungsstufe 7 mit dem Eingang einer Zwischenstufe 8 verbunden, die aus zwei CMOS-Invertoren (MP4, MN4; MP5, MN5) besteht.

Der erste CMOS-Inverter MP4, MN4 der Zwischenstufe besteht aus einem p-Kanal-MOS-FET MP4, dessen Gateanschluß über den Eingang der Verzögerungsstufe 7 mit dem Ausgang der zweiten Eingangsstufe 6, dessen Sourceanschluß mit der Versorgungsspannung Vcc, dessen Drainanschluß mit dem Ausgang des ersten CMOS-Inverters MP4, MN4 der Zwischenstufe 8 und dessen Substratanschluß mit der Versorgungsspannung Vcc verbunden ist, und dem n-Kanal-MOS-FET MN4, dessen Gateanschluß über den Eingang der Verzögerungsstufe 7 mit dem Ausgang der zweiten Eingangsstufe 6, dessen Sourceanschluß mit dem die beiden CMOS-Inverter der Zwischenstufe 8 verbindenden Schaltungspunkt D, dessen Drainanschluß mit dem Ausgang des ersten CMOS-Inverters MP4, MN4 der Zwischenstufe und dessen Substratanschluß mit Masse verbunden ist.

Der zweite CMOS-Inverter MP5, MN5 der Zwischenstufe 8 besteht aus dem p-Kanal-MOS-FET MP5, dessen Gateanschluß über den Eingang der Verzögerungsstufe 7 mit dem Ausgang der zweiten Eingangsstufe 6, dessen Sourceanschluß am Schaltungspunkt D mit dem Sourceanschluß des n-Kanal-MOS-FETs MN4 des ersten CMOS-Inverters der Zwischenstufe 8, dessen Drainanschluß mit dem Ausgang des zweiten CMOS-Inverters MP5, MN5 der Zwischenstufe und dessen Substratanschluß mit der Versorgungsspannung Vcc verbunden ist, und dem n-Kanal-MOS-FET MN5, dessen Gateanschluß über den Eingang der Verzögerungsstufe 7 mit dem Ausgang der zweiten Eingangsstufe 6, dessen Sourceanschluß mit Masse, dessen Drainanschluß mit dem Ausgang des zweiten CMOS-Inverters MP5, MN5 der Zwischenstufe 8 und dessen Substratanschluß mit Masse verbunden ist.

Die W/L-Verhältnisse der MOS-FETs MP4, MN4, MP5 und MN5 der Zwischenstufe 8 entsprechen denen der entsprechenden MOS-FETs MP2 und MN2 der zweiten Eingangsstufe 6 und betragen für den p-Kanal-MOS-FET MP4, den n-Kanal-MOS-FET MN4, den p-Kanal-MOS-FET MP5 und den n-Kanal-MOS-FET MN5 200/1, 100/1, 200/1 bzw. 100/1.

Die MOS-FETs MP3, MN3 der Verzögerungsstufe 7 sind entsprechend den MOS-FETs MP1, MN1 des CMOS-Inverters der ersten Eingangsstufe 5 geschaltet, wobei ihre W/L-Verhältnisse 10/1 bzw. 5/1 betragen und damit um den Faktor 20 kleiner sind als die entsprechenden MOS-FETs der Nachbarstufen, d. h. die der zweiten Eingangsstufe 6 und die der Zwischenstufe 8. Die Verzögerungsstufe ist daher beim Umladen der kapazitiven Ausgangslasten wesentlich langsamer als ihre beiden Nachbarstufen. Der Ausgang des CMOS-Inverters MP3, MN3 der Verzögerungsstufe 7 ist mit dem Schaltungspunkt D verbunden, der den ersten CMOS-Inverter MP4, MN4 der Zwischenstufe mit dem zweiten CMOS-Inverter MP5, MN5 der Zwischenstufe verbindet. Die genaue Funktion der Verzögerungsstufe 7 wird unten näher erläutert.

Schließlich umfaßt die in der **Fig. 2** dargestellte Treiberschaltung eine Ausgangsstufe 9, die aus einem p-Kanal-MOS-FET MP6, dessen Gateanschluß E mit dem Ausgang

des ersten CMOS-Inverters MP4, MN4 der Zwischenstufe 8, dessen Sourceanschluß mit der Versorgungsspannung Vcc, dessen Drainanschluß mit dem Ausgang der Ausgangsstufe 9 bzw. dem Ausgang 4 der Treiberschaltung und dessen Substratanschluß mit der Versorgungsspannung Vcc verbunden ist, und einem n-Kanal-MOS-FET MN6 besteht, dessen Gateanschluß F mit dem Ausgang des zweiten CMOS-Inverters MP5, MN5 der Zwischenstufe 8, dessen Sourceanschluß mit Masse, dessen Drainanschluß mit dem Ausgang der Ausgangsstufe 9 bzw. dem Ausgang 4 der Treiberschaltung und dessen Substratanschluß mit Masse verbunden ist. Die W/L-Verhältnisse des p-Kanal-MOS-FETs MP6 und des n-Kanal-MOS-FETs MN6 der Ausgangsstufe 9 betragen 800/1 und 400/1 und sind damit wesentlich größer als die der vorhergehenden Stufen. Die Ausgangsstufe 9 besitzt also die größte Stromsteuerfähigkeit der Treiberschaltung.

Am Ausgang 4 der digitalen Treiberschaltung tritt das digitale Ausgangsspannungssignal Ua auf, das ebenfalls die Werte Vcc und 0 Volt (Masse) annehmen kann. Da die digitale Treiberschaltung nichtinvertierend ist, entspricht der Signalverlauf des Ausgangssignals Ua dem des Eingangssignals Ue.

Im folgenden wird die Funktionsweise der in der Fig. 2 dargestellten erfindungsgemäßen digitalen Treiberschaltung anhand der Fig. 2 und 3 erläutert.

Dabei werden insbesondere die an den folgenden in der Fig. 2 markierten Schaltungspunkten auftretenden Signale betrachtet:

- A: Eingang des CMOS-Inverters MP1, MN1 der ersten Eingangsstufe 5,
- B: Eingang des CMOS-Inverters MP2, MN2 der zweiten Eingangsstufe 6,
- C: Eingang des CMOS-Inverters MP3, MN3 der Verzögerungsstufe 7,
- D: Mit dem Ausgang des CMOS-Inverters MP3, MN3 der Verzögerungsstufe 7 verbundener Verbindungspunkt zwischen den Sourceanschlüssen des n-Kanal-MOS-FETs MN4 des ersten CMOS-Inverters MP4, MN4 der Zwischenstufe 8 und des p-Kanal-MOS-FETs MP5 des zweiten CMOS-Inverters MP5, MN5 der Zwischenstufe 8,
- E: Gateanschluß des p-Kanal-MOS-FETs MP6 der Ausgangsstufe 9,
- F: Gateanschluß des n-Kanal-MOS-FETs MN6 der Ausgangsstufe 9.

Zunächst wird der stationäre Zustand der Schaltung betrachtet. Liegt z. B. am Eingang 3 der in der Fig. 2 dargestellten Treiberschaltung ein digitales Signal mit der Spannung Vcc (H-Zustand) an, so liegt, wegen der Wirkung des CMOS-Inverters MP1, MN1 der ersten Eingangsstufe 5 am Eingang des zweiten CMOS-Inverters MP2, MN2 der zweiten Eingangsstufe 6 ein invertiertes Signal von 0 V (L-Zustand) an. Der CMOS-Inverter MP2, MN2 invertiert das Signal erneut, so daß am Eingang C des CMOS-Inverters MP3, MN3 der Verzögerungsstufe 7 und an den Eingängen der beiden CMOS-Inverter MP4, MN4 und MP5, MN5 der Zwischenstufe 8 ein Signal mit der Spannung Vcc (H-Zustand) anliegt. Die Verzögerungsstufe 7, deren eigentliche Funktion erst unten im Zusammenhang mit der Erläuterung des dynamischen Verhaltens der Treiberschaltung klar wird, invertiert dieses Signal und lädt damit den Schaltungspunkt D auf die Spannung 0 V (Masse) um. Durch die beiden CMOS-Inverter MP4, MN4 und MP5, MN5 der Zwischenstufe 8 wird an den Gateanschlüssen E bzw. F der beiden MOS-FETs der Ausgangsstufe wiederum ein Signal mit einer Spannung von 0 V (L-Zustand) erzeugt. Der p-Kanal-MOS-FET MP6 befindet sich dadurch im durchgeschalte-

ten, der n-Kanal-MOS-FET MN6 im gesperrten Zustand, so daß am Ausgang 4 der Treiberschaltung ein Signal mit der Spannung Vcc (H-Zustand) anliegt. Die Schaltung wirkt also insgesamt nichtinvertierend. In analoger Weise verhält sich die Treiberschaltung, wenn an ihrem Eingang ein stationäres Signal von 0 V (L-Zustand) anliegt. Im stationären Zustand ist der Energieverbrauch der Schaltung minimal, da keine Strompfade zwischen der Versorgungsspannungsklemme und Masse auftreten.

Im folgenden wird das dynamische Verhalten der in der Fig. 2 dargestellten Treiberschaltung erläutert. Dabei wird insbesondere Bezug auf die Fig. 3 genommen, in der die Zustände der oben erwähnten Schaltungspunkte A, B, C, D, E, und F dargestellt sind.

In der Fig. 3 ist der Fall dargestellt, daß das am Eingang 3 der Treiberschaltung anliegende digitale Eingangssignal Ue von 0 V (L-Zustand) auf Vcc (H-Zustand) umgeschaltet wird.

Zum unten in der Fig. 3 dargestellten Zeitpunkt t1 wird dann das am Eingang des CMOS-Inverters MP1, MN1 der ersten Eingangsstufe 5 anliegende Signal Ue auf Vcc (H-Zustand) umgeschaltet. Der CMOS-Inverter MP1, MN1 invertiert dieses Signal mit einer gewissen durch die Umladung bedingten Verzögerungszeit, so daß das am Schaltungspunkt B, dem Eingang des CMOS-Inverters MP2, MN2 der zweiten Eingangsstufe 6, liegende Signal zum Zeitpunkt t2 auf 0 V (L-Zustand) umgeschaltet wird. Der CMOS-Inverter MP2, MN2 der zweiten Eingangsstufe 6 invertiert dieses Signal erneut, so daß nach einer erneuten Verzögerungszeit zum Zeitpunkt t3 das Signal am Eingang C des CMOS-Inverters MP3, MN3 der Verzögerungsstufe 7 und an den mit diesem verbundenen Eingängen der beiden CMOS-Inverter MP4, MN4 und MP5, MN5 der Zwischenstufe 8 von 0 V (L-Zustand) auf Vcc (H-Zustand) umgeschaltet wird.

Der n-Kanal-MOS-FET MN5 des zweiten CMOS-Inverters MP5, MN5 erhält nun, da die W/L-Verhältnisse der sich entsprechenden MOS-FETs der zweiten Eingangsstufe 6 und der Zwischenstufe 8 gleich sind und daher die Umladegeschwindigkeit relativ groß ist, relativ schnell eine seine positive Schwellenspannung überschreitende Gate-Source-Spannung Vcc, so daß er vom gesperrten in den durchgeschalteten Zustand wechselt. Gleichzeitig sperrt der p-Kanal-MOS-FET MP5 des zweiten CMOS-Inverters MP5, MN5, da seine Gate-Source-Spannung sofort auf null sinkt, wobei sie dann allmählich während des wegen des geringen W/L-Verhältnisses der MOS-FETs des CMOS-Inverters der Verzögerungsstufe 7 nur langsam erfolgenden Umladens des mit dem Sourceanschluß des p-Kanal-MOS-FETs MP5 verbundenen Schaltungspunktes D durch die Verzögerungsstufe 7 in den positiven Bereich gerät, was aber am Zustand des p-Kanal-MOS-FETs MP5 nichts mehr ändert. Der zweite CMOS-Inverter MP5, MN5 schaltet daher um, und lädt die Gatekapazität des mit dem Ausgang des zweiten CMOS-Inverters MP5, MN5 verbundenen n-Kanal-MOS-FETs MN6 der Ausgangsstufe 9, dessen Gate F dann zum Zeitpunkt t4 eine Spannung von 0 V erhält. Dabei sinkt die Gate-Source-Spannung des n-Kanal-MOS-FETs MN5 auf 0 V und unterschreitet die Schwellenspannung des Transistors, woraufhin dieser Transistor gesperrt wird.

Da der Schaltungspunkt D zum Zeitpunkt t4 wegen der geringen Umladegeschwindigkeit des CMOS-Inverters MP3, MN3 der Verzögerungsstufe 7 noch nicht auf 0 V umgeladen ist und sich noch in der Nähe von Vcc befindet, überschreitet die Gate-Source-Spannung des n-Kanal-MOS-FETs MN4 zu diesem Zeitpunkt noch nicht die zum Durchschalten erforderliche Schwellenspannung. Erst zum Zeitpunkt t5 ist der Schaltungspunkt D soweit umgeladen wor-

den, daß die Schwellenspannung erreicht wird und der Transistor MN4 durchschaltet. Zu diesem Zeitpunkt sperrt der Transistor MP4, so daß dann der CMOS-Inverter MP4, MN4 die Gatekapazität des p-Kanal-MOS-FETs MP6 umlädt, wobei zum Zeitpunkt t6 der Gateanschluß E des p-Kanal-MOS-FETs MP6 der Ausgangsstufe 9 eine Spannung von 0 V erreicht, woraufhin dieser Transistor sperrt und am Ausgang 4 der Treiberschaltung die Spannung von 0 V (L-Zustand) auf Vcc (H-Zustand) ansteigt.

Das Umschalten der den größten Strom der Treiberschaltung führenden MOS-FETs MP6, MN6 der Ausgangsstufe 9 erfolgt hier also um die Differenz zwischen t6 und t4 zeitlich gegeneinander versetzt, wodurch große Stromspitzen am Ausgang der Treiberschaltung vermieden werden, da ein Strompfad zwischen der Versorgungsspannungsklemme Vcc und Masse nur in sehr geringem Maße oder überhaupt nicht mehr auftritt. Daß der Ausgang 4 der Treiberschaltung dabei kurzzeitig hochohmig wird, ist bei vielen Anwendungen tolerierbar.

Die Umschaltung des digitalen Eingangssignals Ue von Vcc (H-Zustand) auf 0 V (L-Zustand) verläuft analog zur beschriebenen Umschaltung von 0 V (L-Zustand) auf Vcc (H-Zustand), mit dem Unterschied, daß dabei jetzt zunächst der p-Kanal-MOS-FET MP6 umgeschaltet wird, wobei er in dem Fall gesperrt wird, während danach der n-Kanal-MOS-FET MN6 umgeschaltet wird, wobei dieser in diesem Fall durchgeschaltet wird.

Ein besonderer Vorteil der erfindungsgemäßen digitalen Treiberschaltung liegt darin, daß die durch die Einfügung der Verzögerungsstufe zusätzliche erforderliche Chipfläche wegen der geringen W/L-Verhältnisse der MOS-FETs der Verzögerungsstufe 7 äußerst klein ist.

Die erfindungsgemäße Treiberschaltung ist besonders für relativ "langsame" Anwendungen mit niedrigen Frequenzen interessant, da sie dann die größten Wirkungen in bezug auf die Reduzierung der Ausgangsstromspitzen zeigt.

Für das Funktionieren der Verzögerungsstufe 7 ist entscheidend, daß diese durch das gewählte W/L-Verhältnis ihrer MOS-FETs MP3 und MN3 so dimensioniert ist, daß ihre Umladegeschwindigkeit im Verhältnis zu der der Nachbarnstufen, d. h. der letzten Stufe 6 der Eingangsstufen 5 und 6 und der Zwischenstufe 8, so klein ist, daß eine zeitliche Versetzung des Umschaltens der MOS-FETs MP6 und MN6 der Ausgangsstufe 9 gewährleistet ist.

Für den Fachmann ist klar, daß es bei der Erfindung nicht darauf ankommt, wieviele CMOS-Inverter in der Eingangsstufe verwendet werden. Darüber hinaus kann die erfindungsgemäße Schaltung in Abweichung zu der dargestellten Ausführungsform natürlich auch invertierend sein.

Die dargestellten W/L-Verhältnisse sind ebenfalls nur beispielhaft zu sehen, wobei sie je nach Anwendung (Verzögerungszeit, Kapazitätsverhältnis zwischen Eingang und Ausgang des Treibers, Chipfläche) unterschiedlich ausgewählt werden werden. Zwischen den einzelnen Invertern der Eingangsstufen wird man dabei jeweils einen Vergrößerungsfaktor zwischen 3 und 10 wählen.

Die W/L-Verhältnisse der MOS-FETs MP4, MN4, MP5 und MN5 der Zwischenstufe können natürlich auch anders gewählt werden als bei dem oben beschriebenen und in der Fig. 2 dargestellten Ausführungsbeispiel. Die W/L-Verhältnisse des p-Kanal-MOS-FETs MP4 des ersten CMOS-Inverters (MP4, MN4) der Zwischenstufe und des n-Kanal-MOS-FETs MN5 des zweiten CMOS-Inverters (MP5, MN5) der Zwischenstufe werden dabei die W/L-Verhältnisse der entsprechenden MOS-FETs des CMOS-Inverters der letzten Eingangsstufe (in der Fig. 2 MP2 bzw. MN2) nicht unterschreiten, um die von Stufe zu Stufe steigende oder zumindest gleichbleibende Treiberfähigkeit in der Trei-

berschaltung nicht zu unterbrechen. MP4 und MN5 können natürlich auch größere W/L-Verhältnisse haben als die entsprechenden MOS-FETs der letzten Eingangsstufe. Das W/L-Verhältnis des zweiten n-Kanal-MOS-FETs MN4 des ersten CMOS-Inverters der Zwischenstufe und das W/L-Verhältnis des ersten p-Kanal-MOS-FETs MP5 der Zwischenstufe können jedoch auch wesentlich kleiner als die W/L-Verhältnisse der entsprechenden MOS-FETs des CMOS-Inverters der letzten Eingangsstufe sein. MN4 und MP5 unterstützen dann nämlich die Verzögerungswirkung der Verzögerungsstufe, da sie die Einstellung der bei Umschaltung des digitalen Eingangssignals sich an ihnen ändernden Gate-Source-Spannungen verzögern. So können die W/L-Verhältnisse von MN4 und MP5 in der Fig. 2 auch z. B. 10/1 und 5/1 betragen, wodurch weitere Chipfläche gegenüber der in der Fig. 2 dargestellten Ausführungsform eingespart werden könnte. Dadurch würde die zeitliche Verschiebung der Umschaltung der beiden MOS-FETs der Ausgangsstufe gegeneinander noch verstärkt werden.

Die erfindungsgemäße digitale Treiberschaltung eignet sich besonders für Anwendungen, bei denen geringes Rauschen erwünscht ist. Sie eignet sich darüber hinaus insbesondere auch für Referenzschaltungen und Treiberschaltungen für Ladungspumpen.

#### Patentansprüche

1. Digitale Treiberschaltung mit einer oder mehreren hintereinandergeschalteten Eingangsstufen, die jeweils aus einem CMOS-Inverter bestehen, dessen p-Kanal-MOS-FET an seinem Sourceanschluß mit einer Versorgungsspannung und dessen n-Kanal-MOS-FET an seinem Sourceanschluß mit Masse verbunden ist, wobei das Verhältnis zwischen Kanalweite (W) und Kanallänge (L) (W/L-Verhältnis) der MOS-FETs der CMOS-Inverter von Stufe zu Stufe in einem vorherbestimmten Maße zunimmt; einer Zwischenstufe mit einem ersten CMOS-Inverter, dessen p-Kanal-MOS-FET an seinem Sourceanschluß mit der Versorgungsspannung verbunden ist, und einem zweiten CMOS-Inverter, dessen n-Kanal-MOS-FET an seinem Sourceanschluß mit Masse verbunden ist, wobei die Eingänge der beiden CMOS-Inverter der Zwischenstufe mit dem Ausgang der letzten Eingangsstufe verbunden sind, der Sourceanschluß des n-Kanal-MOS-FETs des ersten CMOS-Inverters der Zwischenstufe mit dem Sourceanschluß des p-Kanal-MOS-FETs des zweiten CMOS-Inverters der Zwischenstufe verbunden ist und das vorherbestimmte W/L-Verhältnis des p-Kanal-MOS-FETs des ersten CMOS-Inverters der Zwischenstufe und des n-Kanal-MOS-FETs des zweiten CMOS-Inverters der Zwischenstufe nicht kleiner als das der entsprechenden MOS-FETs des letzten CMOS-Inverters der Eingangsstufen ist; einer Verzögerungsstufe mit einem zwischen die Versorgungsspannung und Masse geschalteten CMOS-Inverter, dessen Eingang mit dem Ausgang der letzten Eingangsstufe verbunden ist und dessen Ausgang mit dem Sourceanschluß des n-Kanal-MOS-FETs des ersten CMOS-Inverters der Zwischenstufe verbunden ist; und einer Ausgangsstufe mit einem p-Kanal-MOS-FET, dessen Gateanschluß mit dem Ausgang des ersten CMOS-Inverters der Zwischenstufe und dessen Sourceanschluß mit der Versorgungsspannung verbunden ist, und einem n-Kanal-MOS-FET, dessen Gateanschluß mit dem Ausgang des zweiten CMOS-Inverters der Zwischenstufe und dessen Sourceanschluß mit

Masse verbunden ist, wobei die Drainanschlüsse der beiden MOS-FETs der Ausgangsstufe miteinander und mit dem Ausgang der Schaltung verbunden sind und das W/L-Verhältnis des p-Kanal-MOS-FETs der Ausgangsstufe und das W/L-Verhältnis des n-Kanal-MOS-FETs der Ausgangsstufe das W/L-Verhältnis des p-Kanal-MOS-FETs des ersten CMOS-Inverters der Zwischenstufe bzw. das W/L-Verhältnis des n-Kanal-MOS-FETs des zweiten CMOS-Inverters der Zwischenstufe in einem vorherbestimmten Maße übersteigt;

wobei das W/L-Verhältnis der MOS-FETs des CMOS-Inverters der Verzögerungsstufe im Vergleich zu den W/L-Verhältnissen der entsprechenden MOS-FETs des letzten CMOS-Inverters der Eingangsstufen, des p-Kanal-MOS-FETs des ersten CMOS-Inverters der Zwischenstufe und des n-Kanal-MOS-FETs des zweiten CMOS-Inverters der Zwischenstufe so klein gewählt ist, daß das bei Änderung des digitalen Eingangssignals am Eingang der Schaltung erfolgende Umschalten der beiden MOS-FETs der Ausgangsstufe zeitlich gegeneinander versetzt erfolgt.

2. Digitale Treiberschaltung nach Anspruch 1, bei der das W/L-Verhältnis des p-Kanal-MOS-FETs des zweiten CMOS-Inverters der Zwischenstufe und das W/L-Verhältnis des n-Kanal-MOS-FETs des ersten CMOS-Inverters der Zwischenstufe im Vergleich zu dem W/L-Verhältnis des p-Kanal-MOS-FETs des ersten CMOS-Inverters der Zwischenstufe bzw. dem W/L-Verhältnis des n-Kanal-MOS-FETs des zweiten CMOS-Inverters der Zwischenstufe klein ist, so daß die Verzögerungswirkung der Verzögerungsschaltung unterstützt wird.

3. Digitale Treiberschaltung nach einem der Ansprüche 1 oder 2, bei der das W/L-Verhältnis des p-Kanal-MOS-FETs eines CMOS-Inverters der Eingangsstufen und der Verzögerungsstufe im Vergleich zu dem W/L-Verhältnis des n-Kanal-MOS-FETs desselben CMOS-Inverters, und das W/L-Verhältnis des p-Kanal-MOS-FETs der Ausgangsstufe im Vergleich zu dem W/L-Verhältnis des n-Kanal-MOS-FETs der Ausgangsstufe um einen Faktor 2 bis 4 größer sind, so daß ein symmetrischer Störabstand der digitalen Eingangssignale zu den Kippunkten des CMOS-Inverters bzw. der Ausgangsstufe erzeugt wird.

4. Digitale Treiberschaltung nach einem der vorhergehenden Ansprüche, bei der die W/L-Verhältnisse der MOS-FETs der Eingangsstufen von Stufe zu Stufe zum Ausgang der Schaltung hin um einen Faktor zunehmen, der zwischen 3 und 10 liegt.

5. Digitale Treiberschaltung nach einem der vorhergehenden Ansprüche, bei der zwei Eingangsstufen vorgesehen sind.

---

Hierzu 3 Seite(n) Zeichnungen

---

55

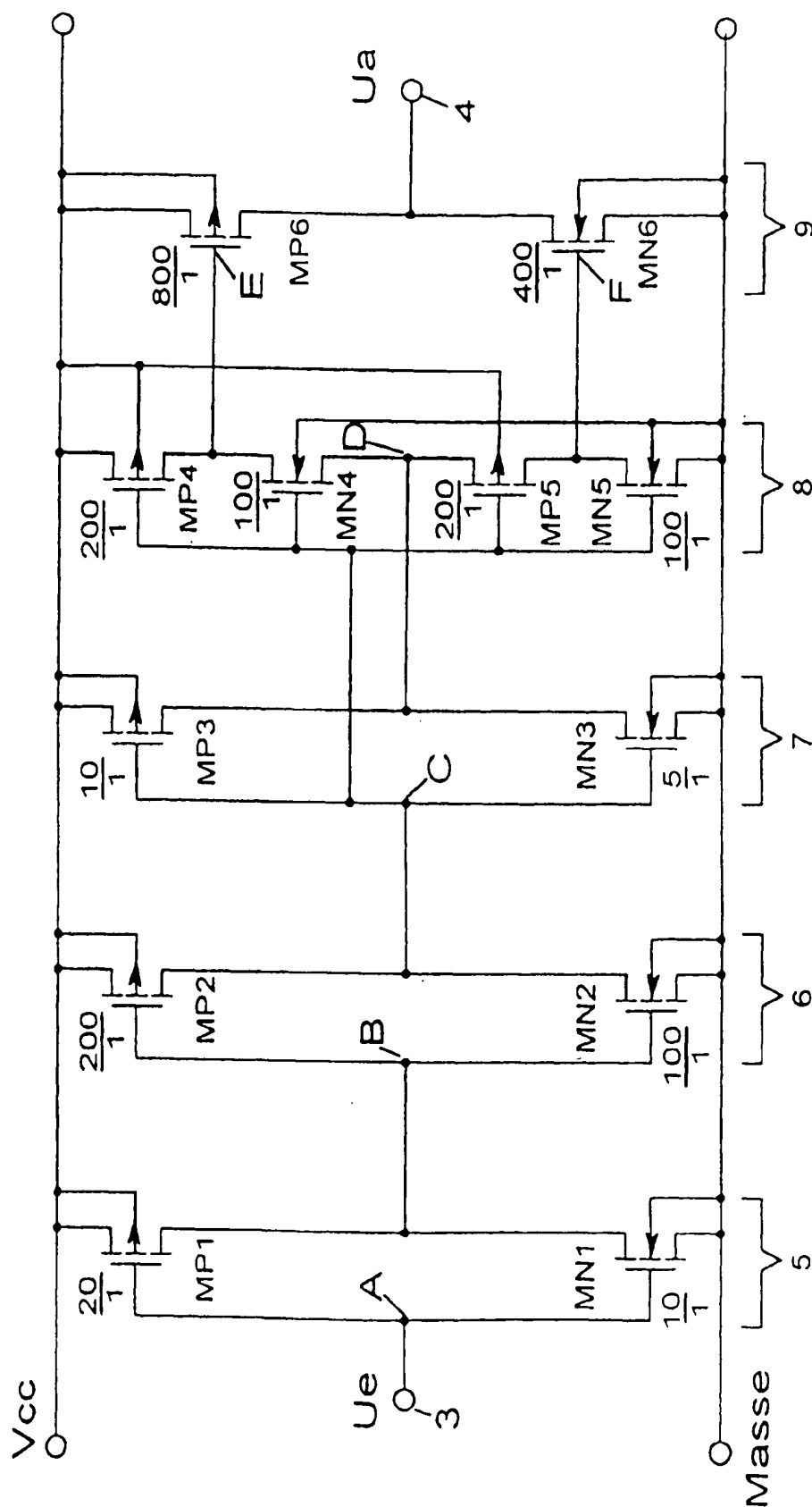
(4)

65

- Leerseite -



Fig. 2



**Fig. 1**  
 (Stand der Technik)

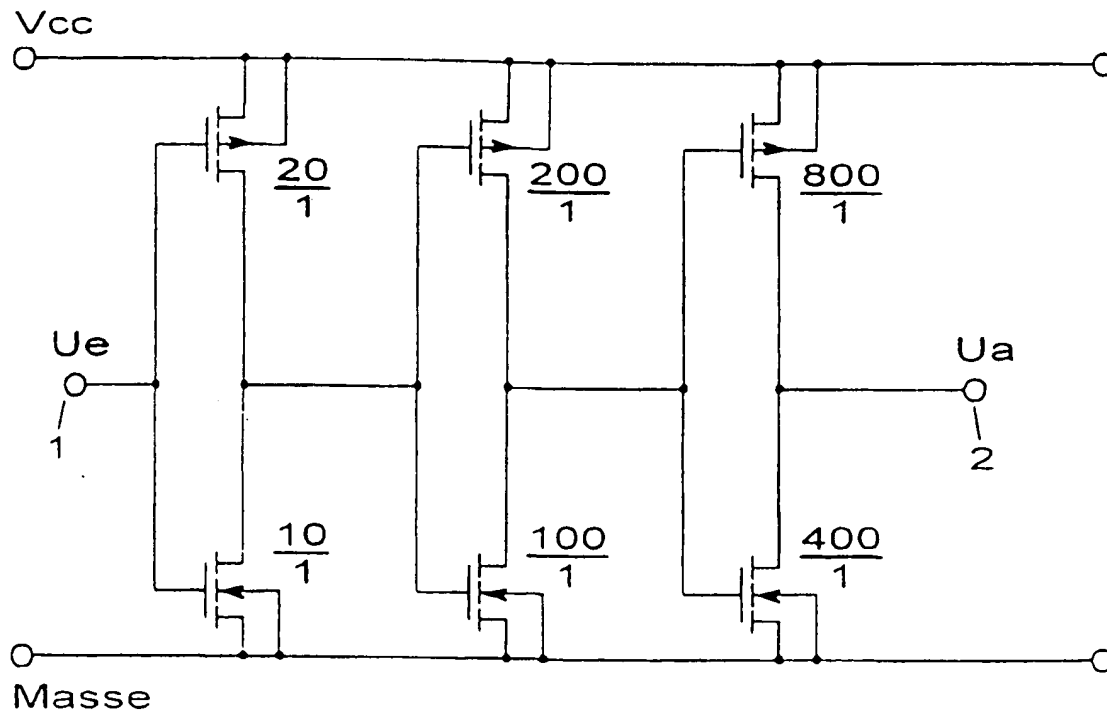


Fig. 3

